

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑪ **DE 31 37 292 A1**

⑤1 Int. Cl. 3:  
**G06F 13/06**  
G 11 C 9/00

②1 Aktenzeichen:  
②2 Anmeldetag:  
④3 Offenlegungstag:

P 31 37 292,9-53  
18. 9. 81  
6. 5. 82

*Behördeneigentlich*

DE 31 37 292 A1

③0 Unionspriorität: ③2 ③3 ③1  
19.09.80 JP P129326-80

⑦1 Anmelder:  
Hitachi, Ltd., Tokyo, JP

⑦4 Vertreter:  
Beetz sen., R., Dipl.-Ing.; Lamprecht, K., Dipl.-Ing.; Beetz  
jun., R., Dipl.-Ing. Dr.-Ing., Pat.-Anw.; Heidrich, U.,  
Dipl.-Phys. Dr.jur., Pat.- u. Rechtsanw.; Timpe, W., Dr.-Ing.;  
Siegfried, J., Dipl.-Ing.; Schmitt-Fumian, W., Privatdozent,  
Dipl.-Chem. Dr.rer.nat., Pat.-Anw., 8000 München

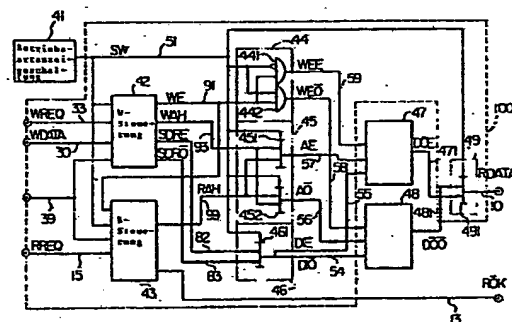
⑦2 Erfinder:  
Torii, Shunichi, Musashino, JP; Nagashima, Shigeo,  
Hachioji, JP; Omoda, Koichiro; Hadano, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 **FIFO-Speicher und diesen verwendende Verarbeitungseinheit**

Ein FIFO-Speicher enthält mehrere lesbare und schreibbare Datenbänke (47, 48), eine Betriebsartanzeigeschaltung (41) zum wiederholten Anzeigen einer Schreibbetriebsart für mehrere Datenbänke und eine Lese/Schreib-Steuerschaltung (42, 43) zum Schreiben empfangener Daten in die Datenbank, bei der die Schreibbetriebsart angezeigt ist, und zum Lesen der Daten von den Datenbänken, bei denen die Schreibbetriebsart nicht angezeigt ist. (31 37 292)

FIG. 2



DE 31 37 292 A1

18.09.81

3137292

BEEZ-LAMPRECHT-BEEZ  
Steinsdorfstr. 10 - D-8000 München 22  
Telefon (089) 227201 - 227244 - 295910  
Telex 522048 - Telegramm Allpatent München

81-32.844P

Patentanwälte  
Zugelassene Vertreter beim Europäischen Patentamt  
Dipl.-Ing. R. BEEZ sen.  
Dipl.-Ing. K. LAMPRECHT  
Dr.-Ing. R. BEEZ jr.  
Rechtsanwalt Dipl.-Phys. Dr. jur. U. HEIDRICH  
Dr.-Ing. W. TIMPE  
Dipl.-Ing. J. SIEGFRIED  
Priv.-Doz. Dipl.-Chem. Dr. rer. nat. W. SCHMITT-FUMIAN

18. September 1981

### Ansprüche

①. FIFO-Speicher,

gekennzeichnet durch

mehrere lesbare und schreibbare Datenbänke (47, 48),

eine Betriebsartanzeigeeinrichtung (41) zum wiederholten Anzeigen einer Schreibbetriebsart für die mehreren Datenbänke, und

eine Steuereinrichtung (42, 43) zum Schreiben empfangener Daten in die Datenbank, bei der die Schreibbetriebsart angezeigt ist, und zum Lesen von Daten von der Datenbank, bei der die Schreibbetriebsart nicht angezeigt ist.

2. FIFO-Speicher nach Anspruch 1, dadurch gekennzeichnet, daß die Betriebsartanzeigeeinrichtung (41) eine Einrichtung zum sequentiellen und sich wiederholenden Anzeigen der mehreren Datenbänke in einer vorgegebenen Folge für die Schreibbetriebsart aufweist.

3. FIFO-Speicher nach Anspruch 2, dadurch gekennzeichnet, daß die Betriebsartanzeigeeinrichtung (41) eine Einrichtung aufweist, die abhängig von einem Taktsignal die Schreibbetriebsart für die nächste der in der Folge folgenden Datenbänke anzeigt.

81-A5957-03-MeF

18.09.81

3137292

- 2 -

4. FIFO-Speicher nach Anspruch 2, dadurch gekennzeichnet, daß die Betriebsartanzeigeeinrichtung (41) eine Einrichtung aufweist zum Anzeigen der Schreibbetriebsart für die Datenbänke sequentiell und eine nach dem anderen.

5. FIFO-Speicher nach einem der Ansprüche 2 bis 4, dadurch gekennzeichnet, daß die Wiederholung der Anzeige der Schreibbetriebsart mit konstantem Intervall umgewälzt bzw. im Zyklus geführt wird.

6. FIFO-Speicher nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß die Lese/Schreib-Steuer-einrichtung eine Einrichtung zum Einschreiben der empfangenen Daten in die entsprechenden Datenbänke in der Folge aufweist wie sie zu dem Zeitpunkt empfangen sind, wenn die entsprechenden Datenbänke in der Schreibbetriebsart sind, und zum Lesen der Daten, die in den Datenbänken gespeichert sind, die nicht in der Schreibbetriebsart sind, in der Folge wie die Daten in diese Datenbänke eingeschrieben sind.

7. FIFO-Speicher nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Datenbänke zwei Datenbänke aufweisen, wobei die Betriebsartanzeigeeinrichtung die beiden Datenbänke zyklisch und abwechselnd in die Schreibbetriebsart abhängig von einem Taktsignal anzeigt, und

daß die Lese/Schreib-Steuereinrichtung eine Detektoreinrichtung zum Erfassen der Anzahl der geschriebenen Daten aufweist zum Erzeugen einer Schreibadresse zum Einschreiben von Daten, die als nächstes empfangen sind, in eine der beiden Datenbänke, eine Schreibeinrichtung zum Schreiben der empfangenen Daten in die Datenbank, bei der die Schreibbetriebsart angezeigt ist, in die Schreibadresse, eine Generatoreinrichtung zum Erzeugen einer Leseadresse zum Lesen von Daten, die bereits ausgelesenen Daten folgen, von einer der beiden Bänke in Übereinstimmung mit der Zahl der gelesenen Daten und eine Leseeinrichtung zum Lesen der Daten von der Datenbank, bei der die Schreibbetriebsart durch die Betriebsartanzeigeeinrichtung nicht angezeigt ist, aus der Leseadresse, wenn Daten vorliegen, die in die Datenbänke geschrieben sind, jedoch noch nicht gelesen sind.

8. FIFO-Speicher nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die Datenbänke zwei Datenbänke aufweisen, wobei die Betriebsartanzeigeeinrichtung die Schreibbetriebsart an die beiden Datenbänke zyklisch und abwechselnd abhängig von einem Taktsignal anzeigt, und

daß die Lese/Schreib-Steuereinrichtung aufweist einen ersten Binärzähler zum Zählen der Zahl der Daten, die in die Datenbänke geschrieben sind, einen ersten Detektor zum Erfassen des geradzahligen oder ungeradzahligen Zustandes der Zahl der empfangenen Daten, eine Schreibeinrichtung, die arbeitet, wenn die Daten in einem Zyklus empfangen sind, in dem die Datenbank,

18.09.81

3137292

- 4 -

bei der die Schreibbetriebsart durch die Betriebsart-anzeigeeinrichtung angezeigt ist, mit der Datenbank übereinstimmt, die durch den Gerade/Ungerade-Zustand der Zahl der empfangenen Daten bestimmt ist, der durch den ersten Detektor erfaßt ist, zum Schreiben der empfangenen Daten in dem Zyklus in die durch die Bit des ersten Zählers spezifizierte Adresse unter Ausschluß des niedrigstwertigen Bit der Datenbank, bei der die Schreibbetriebsart angezeigt ist, und die arbeitet, wenn die Daten in einem Zyklus empfangen sind, in dem die Übereinstimmung der Datenbänke nicht vorliegt, zum Halten der Daten bis zum nächstfolgenden Zyklus und Schreiben der empfangenen Daten in dem nächstfolgenden Zyklus in die Adresse, die durch die Bit des ersten Zählers spezifiziert ist unter Ausschluß des niedrigstwertigen Bit der Datenbank, bei der die Schreibbetriebsart in dem nächstfolgenden Zyklus zu spezifizieren ist, einen zweiten Detektor zum Erfassen des Vorliegens der Daten, die in die Datenbänke geschrieben sind, jedoch noch nicht gelesen sind, einen zweiten Binärzähler zum Zählen der Zahl der Daten, die von den Datenbänken gelesen sind, und eine Leseeinrichtung, die abhängig vom Ausgangssignal des zweiten Detektors die Daten von der Adresse der Datenbank liest, die durch die Bit des zweiten Zählers spezifiziert ist unter Ausschluß des niedrigstwertigen Bit, wenn die Datenbank, die durch das niedrigstwertige Bit des zweiten Zählers spezifiziert ist, mit der Datenbank übereinstimmt, bei der die Schreibbetriebsart durch die Betriebsartanzeigeeinrichtung nicht angezeigt ist.

SECRET

3137292

- 5 -

9. Verarbeitungseinheit,  
gekennzeichnet durch

mehrere Speicher (20, 21) mit jeweils mehreren lesbaren und schreibbaren Datenbänken (47, 48) und einer Lese/Schreib-Steuereinrichtung (42, 43) zum Schreiben empfangener Daten in die Datenbank, bei der die Schreibbetriebsart angezeigt ist und zum Lesen von Daten aus der Datenbank, bei der die Schreibbetriebsart nicht angezeigt ist, und Ausgeben der Daten in der Folge wie sie empfangen sind,

eine Betriebsartanzeigeeinrichtung (41) zum Anzeigen der Schreibbetriebsart für die mehreren der Datenbänke der mehreren Speicher in synchronisierter Weise unter den Speichern und

eine Verarbeitungseinrichtung (1) zum Verarbeiten der Daten, die synchron von den mehreren Speichern gelesen sind.

10.09.81

3137292

- 6 -

HITACHI, LTD.

5-1, Marunouchi 1-chome, Chiyoda-ku,  
Tokyo, Japan

FIFO-Speicher und diesen verwendende Verarbeitungseinheit

Die Erfindung betrifft einen FIFO-Speicher (first-in-first-out-Speicher), der in einem Speicherzyklus simultan lesen und schreiben kann, sowie eine Verarbeitungseinheit, die diesen enthält.

Ein FIFO-Speicher ist als ein Speicher definiert, bei dem in den Speicher geschriebene Information sequentiell in der Ordnung oder Folge ausgelesen wird derart, daß die zuerst eingeschriebene Information als erste gelesen wird.

Bisher werden Speicherzellen von Hochgeschwindigkeits-FIFO-Speichern in vielen Fällen durch Flipflops (FF) oder Verriegelungseinheiten gebildet, die Kombinationen von Verknüpfungsgliedern aufweisen, oder durch herkömmliche Speicherzellen (die einen Lese- oder Schreibbetrieb in jedem Speicherzyklus erlauben).

Die ersteren sind ausreichend schnell, erfordern jedoch eine außerordentlich große Anzahl von Verknüpfungsgliedern zum Bilden eines FIFO-Speichers großer Kapazität. Die herkömmlichen Speicherzellen erfordern andererseits zwei Speicherzyklen zum Schreiben und Lesen von Daten. Die Geschwindigkeit solcher Speicherzellen ist nicht mit der derzeit verfügbaren Pipeline- bzw. Leitungstechnik kompatibel. Andererseits ist es schwierig, Speicherzellen für einen Speicher hoher Kapazität zu erhalten, der einen Speicherzyklus mit der halben Schrittweiten-Zeit durchführen kann, wie die Leitungs-Datenverarbeitungseinrichtung.

Es ist Aufgabe der Erfindung, einen FIFO-Speicher anzugeben, der in der Lage ist, in einem Speicherzyklus zu lesen und zu schreiben, sowie eine Verarbeitungseinheit, die diesen enthält.

Die Erfindung zeichnet sich durch das Vorsehen mehrerer lesbarer und schreibbarer Datenbänke, eine Betriebsartanzeigeeinrichtung zum Anzeigen einer Schreibbetriebsart für die jeweiligen Datenbänke und eine Lese/Schreib-Steuereinrichtung aus zum Schreiben empfangener Daten in die Datenbänke, bei denen die Schreibbetriebsart angezeigt ist und zum Lesen von Daten aus den Datenbänken, bei denen die Schreibbetriebsart nicht angezeigt ist, und zum Ausgeben der Daten von den Bänken in der gleichen Folge wie die Daten empfangen sind.



Die Erfindung wird anhand der in der Zeichnung dargestellten Ausführungsbeispiele näher erläutert. Es zeigen:

- Fig. 1 ein Blockschaltbild einer Leitungs-Datenverarbeitungseinrichtung, bei der FIFO-Speicher gemäß einem Ausführungsbeispiel der Erfindung vorgesehen sind,
- Fig. 2 ein Blockschaltbild des FIFO-Speichers gemäß einem Ausführungsbeispiel der Erfindung,
- Fig. 3A ein Schaltbild einer beispielhaften Betriebsartanzeigeschaltung zum Anzeigen einer Betriebsart einer Bank,
- Fig. 3B eine Tafel zur Darstellung von Betriebsarten von Banken, die durch ein Betriebsartanzeigesignal SW angezeigt sind,
- Fig. 4 ein Schaltbild einer beispielhaften Schreib-Steuerschaltung (W) zum Steuern des Schreibens in die Bank,
- Fig. 5 ein Schaltbild einer beispielhaften Lese-Steuerschaltung (R) zum Steuern des Lesens aus der Bank,
- Fig. 6 eine zeitabhängige Darstellung zum Erläutern des Betriebes des FIFO-Speichers,
- Fig. 7 ein Blockschaltbild einer Leitungs-Datenverarbeitungseinrichtung, die den FIFO-Speicher gemäß der Erfindung verwendet.

Es zeigt sich, daß FIFO-Speicher wirksam bei einer Leitungs-Datenverarbeitungseinrichtung verwendet sind,

10001

3137292

- 9 -

wie gemäß Fig. 1, bei der eine Leitungs-Ausführungseinheit 1, die durch eine Strichpunktlinie umgeben ist, eine Leitungs-Rechen- und Logikeinheit 2 (ALU) und eine Leitungs-Steuerlogikschaltung 3 aufweist und Eingangsdaten (Einbit- oder Mehrbitdaten) von Ausführungseinheiten 4 und 5 (E-Einheiten) über Datenbusse 30 und 31 empfängt und die Ergebnisse der Ausführung zu einer weiteren Ausführungseinheit 6 (E-Einheit) über einen Datenbus 32 führt. FIFO-Speicher 20, 21, 22 (FIFO) sind zwischen den jeweiligen Einheiten als Puffer für die Eingangsdaten und die Ausführungsergebnisse vorgesehen. Die Eingangsdaten von der Ausführungseinheit 4 (oder das Ausführungsergebnis der Ausführungseinheit 4) werden dem FIFO-Speicher 20 über den Datenbus 30 zugeführt, dann werden sie der Leitungs-ALU 2 der Ausführungseinheit 1 über den Datenbus 10 zugeführt. Ähnliche Betriebsweisen werden für die FIFO-Speicher 21 und 22 durchgeführt, wobei dann die Datenbusse 11 und 12 verwendet werden.

Die Gründe dafür, daß derartige FIFO-Speicher als Puffer verwendet werden, werden im folgenden erläutert:

(1) Gegenmaßnahmen für die Unterbrechung der Eingangsdaten von den Ausführungseinheiten 4 und 5. Mehrere Eingangsdatenpaare werden aufeinanderfolgend der Einheit 1 von der Einheit 4 und 5 zugeführt. Ein Paar von Eingangsdaten, die von der ALU 2 auszuführen sind, sind üblicherweise simultan der Leitungs-ALU 20 zuzuführen. Es sei ein Fall angenommen, bei dem eine von einem Eingangsdatenpaar bei der ALU 2 von der Ausführungseinheit 4

18.09.81

3137292

- 10 -

angekommen ist, jedoch die Ankunft der anderen des Eingangsdatenpaares von der Ausführungseinheit 5 aus irgendeinem Grund verzögert ist. Der FIFO-Speicher 20 wird zum Verzögern des Sendens der einen des Eingangsdatenpaares, die von der Ausführungseinheit 4 zur Einheit 1 gesendet sind, verwendet, bis die anderen des Eingangsdatenpaares von der Einheit 5 am FIFO-Speicher 21 eintreffen, während der FIFO-Speicher 20 aufeinanderfolgende Daten empfängt, die in jedem Zyklus durch den Datenbus 30 gesendet sind. Während dieser Periode werden ungültige Daten der Leitungs-ALU 2 von den FIFO-Speichern 20 und 21 zugeführt und ist auch das Ausführungsergebnis durch die ALU 2 ungültig. Die Leitungs-Steuerlogikschaltung 3 steuert die ALU 2 so, daß das Ausgeben oder Senden des ungültigen Ausgangssignals zur Einheit 6 verhindert ist.

(2) Gegenmaßnahme zum Verhindern der Annahme durch die Einheit 6. Die Einheit 6 verhindert bzw. weist die Annahme der Daten von <sup>dem</sup> Datenbus 32 zurück. Der FIFO-Speicher 22 wird verwendet zum Zwischenpuffern des Ausführungsergebnisses von der Leitungs-ALU 2 über den Datenbus 12 und suspendiert bzw. hält die Daten zurück, bis die Annahme durch die Einheit 6 ermöglicht ist.

Daher ist es, wenn der Ausfall der Daten auftritt, wirksam den FIFO-Speicher zwischen den Einheiten mit den Leitungs-ALU's zu verwenden. Die Funktionen, die für den FIFO-Speicher erforderlich sind, sind:

- (A) Die Fähigkeit simultan innerhalb einer Leitungs-Schrittweitenzeit zu lesen und zu schreiben, und
- (B) die Fähigkeit die geschriebenen Daten in kurzer Zeit zu lesen.

Fig.2 zeigt ein Blockschaltbild eines FIFO-Speichers gemäß einem Ausführungsbeispiel der Erfindung. Der dargestellte FIFO-Speicher kann bei irgendeinem der FIFO-Speicher 20, 21 und 22 gemäß Fig. 1 verwendet sein.

Fig. 2 zeigt Datenbänke 47 und 48, die im folgenden nurmehr kurz als Bänke bezeichnet sind, die Daten unabhängig voneinander lesen und schreiben können. Die Datenbänke 47 und 48 weisen jeweils einen Speicher mit wahlfreiem Zugriff (RAM) auf. Mindestens zwei Bänke können die vorliegenden Zwecke erfüllen.

Es ergibt sich, daß eine Bank mehr als zwei RAMs abhängig von der erforderlichen Speicherkapazität und einer Wortkonfiguration aufweisen kann.

Extern gesendete<sup>te</sup> Daten werden in die Bänke 47 und 48 in der gesendeten Folge geschrieben. Beispielsweise werden die Daten mit der Zahl oder Nummer 0, die zuerst gesendet sind, in die Bank 47 geschrieben, werden die Daten der Zahl oder Nummer 1, die als nächstes gesendet sind, in die Bank 48 geschrieben, werden die Daten mit der Zahl oder Nummer 2, die als nächstes gesendet sind, in die Bank 47 geschrieben, werden die Daten der Zahl oder Nummer 3, die als nächstes gesendet

18.09.81

3137292

- 12 -

sind, in die Bank 48 geschrieben usw. derart, daß die Daten wiederholt und abwechselnd in die Bänke 47 und 48 geschrieben werden. Daher werden die Daten mit den Zahlen  $0, 2, 4 \dots 2n$  (wobei  $n$  ganzzahlig ist) oder die geradzahligten Daten sequentiell in die Bank 47 geschrieben, weshalb die Bank 47 als gerade Bank bezeichnet ist. Andererseits werden die Daten mit den Zahlen  $1, 3, 5 \dots 2n + 1$  oder die ungeradzahligten Daten sequentiell in die Bank 48 geschrieben, weshalb die Bank 48 als ungerade Bank bezeichnet ist.

Eine Betriebsartanzeigeschaltung 41 zeigt wiederholt mit konstantem Intervall eine Schreibbetriebsart für die Bank 47 oder 48 an. Die Schreibbetriebsart ist als W-Betriebsart bezeichnet, während die Lesebetriebsart als R-Betriebsart bezeichnet ist. Die Betriebsartanzeigeschaltung 41 erzeugt wiederholt "0" und "1" mit konstantem Intervall gemäß "0", "1", "0", "1", .... Wenn das Ausgangssignal der Betriebsartanzeigeeinrichtung 41 <sup>auf</sup> "0" ist, wird die gerade Bank 47 zum Einnehmen der W-Betriebsart und wird die ungerade Bank 48 zum Einnehmen der R-Betriebsart gesteuert. Wenn das Ausgangssignal der Schaltung 41 auf "1" ist, nimmt die gerade Bank 47 die R-Betriebsart und nimmt die ungerade Bank 48 die W-Betriebsart ein. Folglich werden die Bänke 47 und 48 durch die Betriebsartanzeigeschaltung 41 so gesteuert, daß sie die R-Betriebsart und die W-Betriebsart wiederholt mit konstantem Intervall annehmen, wobei die Bänke 47 und 48 zu einem

Zeitpunkt verschiedene Betriebsarten annehmen.

Eine Schreib/Lese-Schaltung 100 für die Bänke 47 und 48 enthält Schaltungen 42 bis 46 und 49.

Der allgemeine Betrieb des FIFO-Speichers wird zunächst erläutert. Wenn die geradzahligen Daten von außen zugeführt werden und die gerade Bank 47 in der W-Betriebsart ist, schreibt die Schaltung 100 unmittelbar die Daten in die gerade Bank 47. Wenn die gerade Bank 47 in der R-Betriebsart ist, wartet die Schaltung 100 bis die gerade Bank 47 die W-Betriebsart einnimmt und schreibt dann die Daten in die gerade Bank 47, die nun die W-Betriebsart angenommen hat. Das gleiche gilt für den Schreibbetrieb der ungeradzahligen Daten.

Wenn eine Lesebetriebsart abgegeben wird und die als nächstes zu lesenden Daten in der geraden Bank 47 gespeichert sind, und wenn die gerade Bank in der R-Betriebsart ist, liest die Schaltung 100 unmittelbar die Daten aus der geraden Bank 47. Wenn die gerade Bank 47 in der W-Betriebsart ist, wartet die Schaltung 100 bis die gerade Bank 47 die R-Betriebsart einnimmt und liest dann die Daten von der geraden Bank 47, die nun die R-Betriebsart angenommen hat.

Der FIFO-Speicher gemäß Fig. 2 ermöglicht das simultane Schreiben und Lesen. Beispielsweise ist es möglich, die Daten in die gerade Bank 47 simultan zum Lesen der Daten von der ungeraden Bank 48 einzuschreiben. In Fig. 2 bezeichnen dicke Signalleitungen

18.09.81

3137292

- 14 -

Signalleitungen mit jeweils mehreren Leitern zur parallelen Signalübertragung.

Der Betrieb des FIFO-Speichers wird im folgenden ausführlich erläutert.

Gemäß Fig. 2 wird, wenn ein Schreibbetrieb erforderlich ist, ein Schreib Anforderungsanzeigesignal WREQ auf eine Signalleitung 33 auf "1" gesetzt. Ein Datensignal WDATA auf einer Datenleitung 30 gibt die einzuschreibenden Daten wieder. Die Signale WREQ und WDATA werden von einer ersten externen Einheit, beispielsweise der Ausführungseinheit 4 gemäß Fig. 1, einer Schreibsteuerschaltung 42 (W-Steuerung) zugeführt. Die W-Steuerung 42 enthält eine Einrichtung, die abhängig von dem Signal WREQ das Schreibdatensignal WDATA empfängt und die Zahl (Ankunftszeit) der empfangenen Schreib Anforderung erfaßt. Es sei angenommen, daß die Ankunftszeit der Schreib Anforderung N sei. Abhängig davon, ob N ungerade oder gerade ist (d. h. abhängig vom Gerade/Ungerade-Zustand von N), wird die gerade Bank 47 oder die ungerade Bank 48 als die Datenbank gewählt, in die die empfangenen Daten geschrieben werden. Andererseits zeigt das Ausgangssignal SW der Betriebsartanzeigeschaltung 41 die W-Betriebsart für die Bank an. Wenn die abhängig von dem Gerade/Ungerade-Zustand von N bestimmte Datenbank und die Datenbank, bei der die W-Betriebsart durch das SW-Signal angezeigt ist, identisch sind, sendet die W-Steuerung 42 ein Adreßsignal WAH, das durch Bit höherer Ordnung unter Ausschluß des niedrigstwertigen Bit

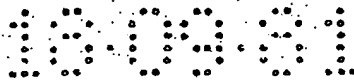
in dem binären Ausdruck für N bestimmt ist, zur Leitung 93, ändert ein Schreibfreigabesignal WE auf der Signal-  
leitung 93 auf "1", sendet die Schreibdaten WDATA  
als Signal SDRE zur Leitung 82, wenn die Daten in  
die gerade Bank 47 zu schreiben sind, und sendet die  
Schreibdaten WDATA als Signal SDR $\bar{O}$  zur Leitung 83,  
wenn die Daten in die ungerade Bank 48 zu schreiben sind.  
Wenn die Koinzidenz der durch N bestimmten Bänke  
und des Signals SW jeweils nicht erfüllt sind, wenn die  
Schreibanforderung WREQ eintrifft, ist eine Einrichtung  
notwendig, um das Vorliegen der Schreibanforderung WREQ  
und der Schreibdaten WDATA zu speichern, bis die  
Koinzidenz der Bänke erfüllt ist. Ein Ausführungs-  
beispiel einer solchen Einrichtung wird weiter unten  
unter Bezug auf Fig. 4 näher erläutert. Die W-Steuerung 42  
wird in einer Weise initialisiert, die weiter unten  
näher erläutert wird, mittels eines durch eine Signal-  
leitung 39 zugeführten Initialisierungssignals START.

Eine durch eine Strichpunktlinie umgebene Schaltung 44 ist ein Schreibsignalgenerator, der abhängig von dem Schreibfreigabesignal WE und dem Betriebsartanzeigesignal SW ein Schreibfreigabesignal WEE zur geraden Bank 47 über die Leitung 59 oder ein Schreibfreigabesignal WEÖ zur ungeraden Bank 48 über eine Signalleitung 58 abgibt. Ein UND-Glied 441 des Generators 44 führt das Schreibfreigabesignal WEE zur geraden Bank 47 nur, wenn das Signal SW auf "0" und das Signal WE auf "1" sind. Auf diese Weise wird, wenn



die gerade Bank 47 in der W-Betriebsart ist (das Signal SW ist auf "0") und die zu schreibenden Daten vorliegen (das Signal WE ist auf "1") das Schreibfreigabesignal WEE der geraden Bank 47 zugeführt. Ein UND-Glied 442 führt das Schreibfreigabesignal WE $\bar{O}$  zur ungeraden Bank 48 nur dann, wenn das Signal SW auf "1" und das Signal WE auf "1" sind. Daher wird, wenn die ungerade Bank 48 in der W-Betriebsart ist (das Signal SW ist auf "1") und die als nächstes zu schreibenden Daten vorliegen (das Signal WE ist auf "1") das Schreibfreigabesignal WE $\bar{O}$  der ungeraden Bank 48 zugeführt. Ein Kreis an einem der Eingänge des UND-Glieds 441 gibt eine Invertierungsfunktion für das Eingangssignal wieder.

Eine Wählschaltung 45 führt abhängig von dem Betriebsartanzeigesignal SW das Schreibadreßsignal WAH selektiv zur Bank 47 oder 48. Die Schaltung 45 weist Wählglieder 451 und 452 auf. Wenn das Betriebsartanzeigesignal SW auf "0" ist, wählt das Wählglied 451 das Schreibadreßsignal WAH von der Gruppe aus dem Signal WAH auf der Leitung 93 und einem Leseadreßsignal RAH auf der Leitung 99, das weiter unten erläutert wird, und führt das Signal als Speicheradresse AE zu einer Signalleitung 57. Folglich wird, wenn die gerade Bank 47 in der W-Betriebsart ist (das Signal SW ist auf "0"), die Schreibadresse WAH der geraden Bank 47 zugeführt. Wenn das Signal SW auf "1" ist, wählt das Wählglied 451 die Leseadresse RAH auf der Leitung 99 und führt sie als die Speicheradresse AE zur geraden Bank 47 über eine Leitung 57. Wenn das Signal SW auf "0" ist, wählt das



3137292

- 17 -

Wählglied 452 die Leseadresse RAH auf der Leitung 99 und führt sie als Speicheradresse  $A\bar{O}$  einer Signalleitung 56 zu, und wenn das Signal SW auf "1" ist, wählt das Wählglied 452 die Schreibadresse WAH auf der Leitung 93 und führt sie als Speicheradresse  $A\bar{O}$  zur Signalleitung 56. Folglich wird, wenn die ungerade Bank 48 in der W-Betriebsart ist (das Signal SW ist auf "1"), die Schreibadresse WAH der ungeraden Bank 48 zugeführt. Die Wählglieder 451 und 452 und die Wählglieder 461 und 491, die noch erläutert werden, haben eine Funktion, ein Eingangssignal von einem linken oberen Teil zu wählen (ein Eingangssignal von einer Adreßleitung 93 für das Wählglied 451), wenn das Signal SW von einem Oberteil davon auf "0" ist, und ein Eingangssignal von dem linken unteren Teil (ein Eingangssignal von einer Adreßleitung 99 für das Wählglied 451) wenn das Signal SW auf "1" ist, und wählen das gewählte Signal an der rechtsseitigen Ausgangsleitung (eine Signalleitung 57 für das Wählglied 451) zu erzeugen.

Eine Wählschaltung 46 weist ein Wählglied 461 auf, das abhängig vom Signal SW das Schreibdatensignal SDRE für die gerade Bank oder das Schreibdatensignal  $SDR\bar{O}$  für die ungerade Bank wählt. Das Wählglied 461 wählt eine Signalleitung 82, wenn das Signal SW auf "0" ist, und führt das Datensignal SDRE zur Signalleitung 54 als Datensignal  $D\bar{I}\bar{O}$  und zur Signalleitung 55 als Datensignal DIE. Wenn das Signal SW auf "1" ist, wählt das Wählglied 461 eine Signalleitung 83 und führt

18.09.81

3137292

- 18 -

das Datensignal  $\text{SDR}\bar{0}$  zur Signalleitung 54 als Datensignal  $\text{DI}\bar{0}$  und zur Signalleitung 55 als Datensignal  $\text{DIE}$ .  
Folglich wird, wenn die gerade Bank 47 in der W-Betriebsart ist (das Signal SW ist auf "0"), das Schreibdatensignal  $\text{SDRE}$  für die gerade Bank den Banken 47 und 48 zugeführt.

Folglich wird, wenn eine geradzahlige Schreib-anforderung am FIFO-Speicher eintrifft und die gerade Bank 47 in der W-Betriebsart zu diesem Zeitpunkt ist, das Schreibfreigabesignal  $\text{WEE}$  einem Schreibanschluß  $\text{WET}$  der geraden Bank 47 zugeführt, wird das Schreibadresse-signal  $\text{WAH}$  einem Adresseanschluß  $\text{AT}$  zugeführt und wird das Datensignal  $\text{SDRE}$  einem Dateneingangsanschluß  $\text{DIT}$  zugeführt derart, daß das Schreibdatensignal  $\text{SDRE}$  für die gerade Bank in die gerade Bank 47 eingeschrieben wird. Wenn die gerade Bank 47 in der W-Betriebsart ist (das Signal SW ist auf "0"), ist die ungerade Bank 48 in der R-Betriebsart und ist das Schreibfreigabesignal  $\text{WE}\bar{0}$  vom Ausgang des UND-Glieds 442 auf "0". Folglich wird das Einschreiben in die ungerade Bank 48 gesperrt, weshalb das Schreibdatensignal  $\text{SDRE}$  für die gerade Bank nicht in die ungerade Bank 48 eingeschrieben wird.

Wenn die ungerade Bank 48 in der W-Betriebsart ist (das Signal SW ist auf "1"), wird das Schreibdatensignal  $\text{SDR}\bar{0}$  für die ungerade Bank den Banken 47 und 48 zugeführt. Jedoch wird das Datensignal  $\text{SDR}\bar{0}$  nicht in die gerade Bank 47 aus dem gleichen Grund einge-

schrieben wie das zuvor erläutert ist und wird das Datensignal  $\text{SDR}\bar{0}$  nur in die ungerade Bank 48 eingeschrieben.

Anstelle der Verwendung des Wählglieds 461 kann die Signalleitung 82 mit der Signalleitung 55 verbunden sein derart, daß das Signal  $\text{SDRE}$  stets der geraden Bank 47 zugeführt wird, und kann die Signalleitung 83 mit der Signalleitung 54 verbunden sein derart, daß das Signal  $\text{SDR}\bar{0}$  stets der ungeraden Bank 48 zugeführt wird. Wenn das Wählglied 461 verwendet ist, können die Signalleitungen 55 und 54 "geteilt" werden bzw. gemeinsam vorliegen und kann das Schreiben auf den Signalleitungen zwischen den Bänken 47 und 48 und der W-Steuerschaltung 42 vereinfacht werden.

Auf diese Weise werden die Daten automatisch wiederholt und abwechselnd in die Bänke 47 und 48 in der empfangenen Folge eingeschrieben, ohne daß es notwendig ist, extern die Adresse zu spezifizieren derart, daß die Daten der Zahl 0 in die Adresse 0 der geraden Bank 47, die Daten der Zahl 1 in die Adresse 0 der ungeraden Bank 48, die Daten der Zahl 2 in die Adresse 1 der geraden Bank 47, die Daten der Zahl 3 in die Adresse 1 der ungeraden Bank 48 usw. eingeschrieben werden.

Die Bänke 47 und 48 haben die folgenden Eingangs/Ausgangsanschlüsse. Der Anschluß WET ist der Schreibfreigabesignal-Eingangsanschluß, dem das Schreibfreigabesignal WEE für die gerade Bank 47 oder das Schreibfreigabesignal  $\text{WE}\bar{0}$  für die ungerade Bank 48 zugeführt wird. Der Anschluß AT ist der Speicheradreß-

eingangsanschluß, dem die Speicheradresse AE für die gerade Bank 47 oder die Speicheradresse A $\bar{O}$  für die ungerade Bank 48 zugeführt wird. Der Anschluß DIT ist der Schreibdateneingangsanschluß, dem das Datensignal DIE oder DI $\bar{O}$  zugeführt wird.

Ein Anschluß D $\bar{O}T$  ist ein Lesedatenausgangsanschluß. Die Lesedaten D $\bar{O}E$  werden vom Anschluß D $\bar{O}T$  der geraden Bank 47 einer Datenleitung 471 zugeführt, während die Lesedaten D $\bar{O}O$  vom Anschluß D $\bar{O}T$  der ungeraden Bank 48 einer Datenleitung 481 zugeführt werden. Wenn das Eingangssignal zum Anschluß WET auf "1" ist, speichern die Bänke 47 und 48 die an dem Datenanschluß DIT ankommenden Daten zu Adressen, die durch das Adreßsignal spezifiziert sind, das dem Adreßeingangsanschluß AT zugeführt ist. Wenn das Eingangssignal zum Anschluß WET auf "0" ist, lesen die Bänke 47 und 48 die Daten, die in den Adressen gespeichert sind, die durch das Adreßsignal spezifiziert sind, das dem Adreßeingangsanschluß AT zugeführt ist. Andere Eingangs/Ausgangssignal-Anschlüsse der Bänke 47 und 48, die in Fig. 2 nicht dargestellt sind, umfassen Versorgungsanschlüsse, Chipwählanschlüsse und Ausgangsfreigabeanschlüsse.

Bisher wurde der Schreibbetrieb erläutert. Es wird nun der Lesebetrieb erläutert.

Die Lesesteuerschaltung oder R-Steuerung 43 wird in einer Weise initialisiert, die weiter unten erläutert wird, mittels des externen Initialisierungss-

signals START. Die R-Steuerung 43 erzeugt intern ein Leseadresssignal RA für die zu lesenden Adressen der Bänke 47 und 48 wie das weiter unten erläutert wird. Die Leseadresse RA wird um Eins inkrementiert, wenn ein Leseanforderungssignal RREQ, das weiter unten erläutert wird, empfangen wird. Ein Leseadresssignal RAH, das durch die Bit höherer Ordnung unter Ausnahme des niedrigstwertigen Bit des binären Ausdrucks der Adresse RA bestimmt ist, wird von der R-Steuerung 43 der Signalleitung 99 zugeführt. Die R-Steuerung 43 erzeugt intern auch eine Zahl M, die die Gesamtzahl der geschriebenen Daten ist, die nicht gelesen sind. Die Zahl M wird um Eins inkrementiert (vorwärtsgezählt) jedesmal, wenn das Schreibfreigabesignal WE "1" einnimmt, d. h. jedesmal, wenn Daten (eine Dateneinheit) geschrieben wird, und wird um Eins dekrementiert (rückwärtsgezählt) jedesmal wenn das Leseanforderungssignal RREQ den Wert "1" einnimmt, d. h. jedesmal, wenn Daten (eine Dateneinheit) gelesen werden. Das Signal RREQ wird über die Leitung 15 von einer zweiten externen Einheit beispielsweise der Leitungsausführungseinheit 1 (Fig. 1) zugeführt, die das Lesefreigabesignal RÖK über die Leitung 13 empfängt. Nur wenn M nicht kleiner als Eins ist, d. h. wenn ungelesene Daten noch in den Bänken 47 und 48 gespeichert sind und die Daten in der Bank gespeichert sind, in der das Betriebsartanzeigesignal SW die R-Betriebsart anzeigt, wird das RÖK-Signal der externen Einheit von der R-Steuerung 43 über die Signalleitung 13 zugeführt. Ob die Daten in der Bank 47 oder der Bank 48 gespeichert sind, wird durch das

18.09.81

3137292

- 22 -

niedrigstwertige Bit der binär dargestellten Leseadresse RA erfaßt.

Das Leseadresssignal RAH auf der Signalleitung 99 wird den Wählgliedern 451 und 452 zugeführt, von wo es dem Adreßanschluß AT der Bank 47 oder 48 zugeführt wird abhängig davon, ob das Betriebsartanzeigesignal SW auf "1" bzw. auf "0" ist. Wenn das Signal SW auf "0" ist, ist die ungerade Bank 48 in der R-Betriebsart und wird das Leseadresssignal RAH der ungeraden Bank 48 über das Wählglied 452 zugeführt. Wenn das Signal SW auf "1" ist, ist die gerade Bank 47 in der R-Betriebsart und wird das Leseadresssignal RAH der geraden Bank 47 über das Wählglied 451 zugeführt. Auf diese Weise wird das Leseadresssignal RAH der Bank zugeführt, die in der R-Betriebsart ist.

Als Ergebnis werden die zu lesenden Daten aus der Adresse gelesen, die durch das Lesesignal RAH spezifiziert ist, und zwar derjenigen Bank, die in der R-Betriebsart ist, und werden dem Ausgangsanschluß DÖT zugeführt.

Eine Wählschaltung 49, die ein Wählglied 491 enthält, führt selektiv das Ausgangssignal der Bank, die in der R-Betriebsart ist, zur Signalleitung 10. Wenn das Betriebsartanzeigesignal SW auf "0" ist, ist die ungerade Bank 48 in der R-Betriebsart und wählt das Wählglied 491 das Datensignal DÖÖ, das von der ungeraden Bank 48 gelesen ist, und führt es zur Signalleitung 10. Dieses Signal wird der externen Einheit

als Lesedatensignal RDATA zugeführt. Wenn das Betriebsartanzeigesignal SW auf "1" ist, ist die gerade Bank 47 in der R-Betriebsart und wählt das Wählglied 491 das Datensignal  $\overline{D\bar{O}E}$ , das von der geraden Bank 47 gelesen ist, und führt es der zweiten externen Einheit über die Signalleitung 10 zu. Es zeigt sich, daß dann, wenn verdrahtete ODER-Glieder (Phantom-ODER-Glieder) an den Ausgangsanschlüssen  $\overline{D\bar{O}T}$  der Bänke 47 und 48 verwendet werden können, die Funktion des Wählglieds 491 durch Verbinden der Datenleitung 471 mit der geraden Leitung 481 und Steuern der (nicht dargestellten) Chip\_wählanschlüsse und der (nicht dargestellten) Ausgangsfreigabeanschlüsse der Bänke 47 und 48 erhalten werden kann.

Die zweite externe Einheit, beispielsweise die Leitungs-Ausführungseinheit 1, empfängt das Signal RDATA, wenn das Signal  $\overline{R\bar{O}K}$  auf "1" ist und die Einheit bereit zum Empfang des <sup>Signals</sup> RDATA ist, und führt das RREQ-Signal zur R-Steuerung 43 zur Anzeige des Empfangs der gelesenen Daten. Wenn das Signal RREQ auf "1" ist, inkrementiert die R-Steuerung 43 die Leseadresse RA um Eins im nächsten Zyklus.

Auf diese Weise werden die in die Bänke 47 und 48 geschriebenen Daten in der Folge gelesen wie sie geschrieben sind, wobei die als erstes geschriebenen Daten zuerst gelesen werden derart, daß die Daten in der Adresse 0 der geraden Bank 47 zuerst gelesen werden, die Daten in der Adresse 0 der ungeraden Bank 48 als nächstgelesen werden, die Daten in der Adresse 1,



der geraden Bank 47 als nächste gelesen werden, die Daten in der Adresse 1 der ungeraden Bank 48 als nächst gelesen werden usw. Daher besitzt der Speicher gemäß Fig. 2 eine firstin/firstout-Speicherfunktion (FIFO-Funktion). Wie vorstehend erläutert, ist es, da die Betriebsart den Banken unabhängig angezeigt wird, möglich, die Daten in die gerade Bank 47 simultan zum Lesen der Daten aus der ungeraden Bank 48 einzuschreiben und die Daten von der geraden Bank 47 simultan zum Schreiben der Daten in die ungerade Bank 48 zu lesen. Daher können simultane Lese- und Schreibbetriebe durchgeführt werden.

Wenn die Schaltung gemäß Fig. 1 den FIFO-Speicher gemäß Fig. 2 als Speicher 20 bis 22 verwendet, ist es notwendig, die Signale SW der beiden FIFO-Speicher 20 und 21 zu synchronisieren. Der Grund dafür wird im folgenden erläutert. In der Leitungs-ALU 2 muß sichergestellt werden, daß die sequentiellen Zahlen der beiden Eingangsdaten, die zugeführt sind, gleich sind. Wenn die Signale SW der FIFO-Speicher 20 und 21 phasenverschieden sind, ist es jedoch nicht möglich, ein Paar von Daten, die die gleiche sequentielle Zahl besitzen, simultan von den beiden FIFO-Speichern 20 und 21 zu lesen. Um dieses Problem zu vermeiden, kann das System so aufgebaut sein, daß die Signale SW aller FIFO-Speicher in dem System stets in Phase sind. Beispielsweise kann das Signal SW des FIFO-Speichers 20 von dem FIFO-Speicher 21 geteilt werden. In Fig. 2 ist, da das Eingangssignal zur Ausführungseinheit 6 nur von dem FIFO-Speicher 22 zugeführt wird, die

Synchronisation des Signals SW nicht notwendig für den FIFO-Speicher 22.

Anhand der Fig. 3A, 4 und 5 werden die Betriebsartspezifizierungs- bzw. -anzeigeschaltung 41, die W-Steuerung 42 und die R-Steuerung 43 ausführlich erläutert.

Die Schaltungen 41, 42, und 43 werden durch ein einphasiges Taktsignal T mit einer Taktperiode getaktet, die gleich der Leitungsschrittweite der ALU sowie der Speicherzykluszeit der Bänke 47 und 48 ist. Wie durch die in Kreisen dargestellten Ziffern am Unterende von Fig. 6 dargestellt, sind die Zyklen mit 0 bis 13 numeriert. Jeder Zyklus beginnt mit dem Anstieg des Signals T und endet mit dem nächsten Anstieg des Signals T.

Wenn nicht anders spezifiziert, sind verwendete Flipflops (FF) und Synchronzähler (CNT) flankengesteuert derart, daß sie beim Anstieg des Takteingangssignals T angesteuert (getriggert) werden.

In den Fig. 2 bis 5 bezeichnen einfache Kreise an den Anschlüssen der Signalleitungen Schnittstellensignalanschlüsse innerhalb der FIFO-Speicher und bezeichnen Doppelkreise Schnittstellensignalanschlüsse, die extern oder außerhalb der FIFO-Speicher sind.

Es sei nun angenommen, daß die FIFO-Speicher jeweils bis zu acht Eingangsdaten speichern können. Unter dieser Annahme können die Bänke 47 und 48 jeweils eine Speicherkapazität von vier Daten besitzen. Die Signalleitung 93 für das Signal WAH, die Signalleitung 99 für das Signal RAH, die Signalleitung 57 für das Signal AE und die Signalleitung 56 für das Signal  $\overline{AO}$  können jeweils eine Breite von zwei Bit besitzen.

Alle Schaltungen 41, 42 und 43 gemäß den Fig. 3A bis 5 sind Synchronschaltungen, die durch das Taktsignal T synchronisiert sind. Bei der folgenden Erläuterung sind die folgenden Annahmen getroffen: (1) Die Verzögerungszeit der Verknüpfungsglieder und die Verzögerungszeit der Flipflops und der Zähler sind ausreichend kurz mit bezug auf die Zykluszeit des Taktsignals T. (2) Wenn das Ausgangssignal des Flipflops oder des Zählers, das durch das Taktsignal T getaktet ist, dem Flipflop oder Zähler der folgenden Stufe zugeführt ist, die durch das gleiche Taktsignal T getaktet sind, führen das Flipflop oder der Zähler der folgenden Stufe keine Fehlfunktion durch.

Die Annahme (2) bedeutet, daß ein Inhalt des Flipflops in der vorhergehenden Stufe in einem Zyklus einen Inhalt des Flipflops in der folgenden Stufe im nächsten Zyklus bestimmt und daß der Inhalt des Flipflops in der vorhergehenden Stufe nicht den Inhalt des Flipflops in der folgenden Stufe in einem Zyklus beeinflusst. Wenn die Annahme (1) nicht erfüllt ist, ist die Berechnung und die Berücksichtigung der

Verzögerungszeiten einschließlich der Verzögerungszeit der verwendeten Bänke erforderlich, und wenn die Annahme (2) nicht erfüllt ist, ist ein Zweiphasen-Taktsignal erforderlich, wie das bei der Synchronschaltung an sich bekannt ist.

Fig. 3A zeigt ein Schaltbild der Betriebsartanzeigeschaltung 41. Ein Ausgangssignal eines invertierenden Ausgangsanschluß  $\bar{Q}$  eines Flipflops 50 wird dessen einem Eingangsanschluß T zugeführt. Das Taktsignal T, das einmal in jedem Speicherzyklus oder jeder Leitungsschrittweite "1" annimmt, wird einem Taktanschluß CK des Flipflops 50 zugeführt. Ein Signal vom nichtinvertierenden Ausgangsanschluß Q des Flipflops 55 ist das Betriebsartanzeigesignal SW. Es sei angenommen, daß der Status des Flipflops 50 der "1"-Zustand ist. Daher wird das "0"-Ausgangssignal am Anschluß  $\bar{Q}$  dem Eingangsanschluß T zugeführt. Bei dem ersten Anstieg des Taktsignals T spricht das Flipflop 50 auf das "0"-Ausgangssignal vom Anschluß  $\bar{Q}$  an und ändert sich der Status des Flipflops 50 vom "1" zum "0"-Zustand. Folglich ändert sich das Ausgangssignal am Anschluß  $\bar{Q}$  von "0" auf "1" und damit das Eingangssignal am Eingangsanschluß T ebenfalls auf "1". Beim zweiten Anstieg des Taktsignals T spricht das Flipflop 50 auf das "1"-Eingangssignal am Anschluß T an und kehrt der Status des Flipflops 50 zum "1"-Zustand zurück. Auf diese Weise kippt der Status des Flipflops 50 zwischen "0" und "1"-Zuständen mit den Anstiegen des Taktsignals T. Folglich kippt das Signal SW, das vom Ausgangsanschluß Q des Flipflops 50 abgeben wird, ebenfalls sich



18.09.81

3137292

- 29 -

wird zunächst erläutert, wobei dann der Betrieb mit Bezug auf die zeitliche Darstellung gemäß Fig.6 erläutert werden wird. Ein Zähler 62 ist ein flankengetriggelter Synchronzähler mit einem Einbit-Ausgang. Ein Zähler 64 ist ein flankengetriggelter Drei-Bit-Synchronzähler. Ein Anschluß UP ist ein Vorwärtszählen anzeigender Eingangsanschluß, ein Anschluß R ist ein Rücksetzanschluß zum Löschen des Zählerstandes, ein Anschluß CK ist ein Eingangsanschluß für das Taktsignal T und ein Anschluß Q ist ein Ausgangsanschluß für den Zählerstand. Der Vorwärtszählbetrieb wird durchgeführt, wenn das Eingangssignal am Anschluß UP auf "1" ist und das Taktsignal T, das dem Anschluß CK zugeführt ist, von "0" auf "1" ansteigt. Wenn das Eingangssignal am Anschluß UP auf "0" ist, ändert sich der Zählerstand des Zählers nicht. Ein Flipflop 63 ist ein flankengetriggertes Flipflop, wobei sich ein Ausgangssignal am Ausgangsanschluß Q beim Anstieg des Taktsignals ändert, das einem Anschluß CK zugeführt ist, wie bei dem Zähler 62 oder 64.

Der Zähler 62 wird durch das externe Signal START rückgesetzt und zählt bis zum Ende des Zyklus vorwärts (dem Anstieg des Taktsignals T), in dem das externe Schreib Anforderungssignal WREQ eintrifft. Das Ausgangssignal WCNT des Zählers 62 zeigt an, ob die Schreib Anforderung (das Schreib Anforderungssignal WREQ und das Schreibdatensignal WDATA), die im Zyklus ankommt, für die ungerade Bank 48 oder die gerade Bank 47 ist. Wenn das WCNT-Ausgangssignal auf "0" ist, zeigt

18.09.81

3137292

- 30 -

dies an, daß die Schreib Anforderung in der geraden Bank 47 vorliegt und wenn das WCNT-Ausgangssignal auf "1" ist, zeigt dies an, daß die Schreib Anforderung für die ungerade Bank 48 vorliegt. Ein weiteres Ausgangssignal  $\overline{\text{WCNT}}$  des Zählers 62 besitzt entgegengesetzte Polarität zum Ausgangssignal WCNT.

Der Zähler 64 wird durch das externe Signal START rückgesetzt und zählt bis zum Ende des Zyklus vorwärts, in dem die Daten in irgendeine der Bänke eingeschrieben werden (d. h. der Zyklus, in dem das Signal WE auf "1" ist). Das Ausgangssignal des Zählers 64 ist das Signal WA und das Ausgangssignal WAH der beiden höheren Bit zeigt die Schreibadresse der Bank an und das Ausgangssignal WAL des niedrigstwertigen Bit zeigt den Gerade/Ungerade-Zustand der Schreibbank an oder ob die Schreibbank eine gerade Bank ist oder nicht. Wenn das Ausgangssignal WA des Zählers 64 auf "000<sub>2</sub>" ist (wobei die tiefer gesetzte 2 eine binäre Darstellung wiedergibt), zeigt die W-Steuerung 42 die Adresse 00<sub>2</sub> der geraden Bank 47 als Schreibadresse. Wenn das Ausgangssignal des Zählers 64 auf "001<sub>2</sub>" ist, wird die Adresse 00<sub>2</sub> der ungeraden Bank 48 angezeigt und wenn das Ausgangssignal WA auf "010<sub>2</sub>" ist, wird die Adresse "01<sub>2</sub>" der geraden Bank 47 angezeigt. Zum Durchführen des Schreibbetriebes für die Bank muß das Schreibfreigabesignal WE auf "1" sein.

Wenn das Signal WREQ auf "1" in einem bestimmten Zyklus ist, ist das zu schreibende Signal das Signal WDATA

in diesem Zyklus. Die paarweise vorgesehenen Signale WREQ und WDATA müssen bei der W-Steuerung 42 im gleichen Zyklus eintreffen.

Wie in Fig. 3B dargestellt, wird eine von gerader Bank 47 und ungerader Bank 48 in der W-Betriebsart angezeigt abhängig vom Wert des Signals SW in dem Zyklus. Andererseits trifft die Schreibanforderung, die an der W-Steuerung 42 von der externen Einheit eintrifft, unabhängig vom Wert des Signals SW ein. Folglich führt die W-Steuerung 42 eine der folgenden beiden Schreibprozeduren durch für jede der aufeinanderfolgend eintreffenden Schreibanforderungen WREQ:

(a) Die Daten werden in die Bank in dem gleichen Zyklus wie im Zyklus des Eintreffens der Anforderung eingeschrieben. Wenn eine Anforderung WREQ eingetroffen ist und der Gerade/Ungerade-Zustand der sequentiellen Zahl der angekommenen Anforderung, d. h. ob die Schreibdaten für die gerade Bank sind oder nicht, mit dem Gerade/Ungerade-Zustand der Bank in Übereinstimmung sind, die in der W-Betriebsart in dem Zyklus sind, in dem die Anforderung eingetroffen ist, wird die Schreibprozedur (a) durchgeführt. Dies wird im folgenden als sofortige Schreibprozedur bezeichnet.

(b) Die Daten werden in die Bank in dem Zyklus eingeschrieben, der dem Zyklus am nächsten ist, in dem die Anforderung eingetroffen ist. Wenn eine Anforderung eingetroffen ist und der Gerade/Ungerade-Zustand der



Zahl der einget<sup>x</sup>roffenen Anforderung nicht mit dem Gerade/Ungerade-Zustand der Bank in Übereinstimmung ist, die in der W-Betriebsart in dem Zyklus ist, in dem die Anforderung eingetroffen ist, wird die Schreibprozedur (b) durchgeführt. Dies wird im folgenden als verzögerte Schreibprozedur bezeichnet.

Ein Exklusiv-ODER-Glied 67 (EOR) gemäß Fig. 4 erfaßt das Nichtübereinstimmen der Gerade/Ungerade-Zustände der ankommenden Anforderung und der W-Betriebsart-Bank. Das EOR-Glied 67 ist mit den Signalen SW und WCNT versorgt und gibt eine "1" nur dann ab, wenn diese Signale unterschiedliche Werte besitzen. Wenn das Ausgangssignal des EOR-Glieds 67 auf der Signalleitung 88 "0" in einem bestimmten Zyklus ist, stimmen dessen Gerade/Ungerade-Zustände überein, so daß die sofortige Schreibprozedur durchzuführen ist, wenn die Anforderung WREQ eintrifft. Wenn das Ausgangssignal des EOR-Glieds 76 auf "1" ist, stimmen die Gerade/Ungerade-Zustände nicht überein, weshalb die verzögerte Schreibprozedur durchzuführen ist, wenn die Anforderung WREQ eintrifft. UND-Glieder 68 und 69 erfassen die Durchführungen der sofortigen Schreibprozedur bzw. der verzögerten Schreibprozedur. Ein Kreis an einem der Eingangsanschlüsse des UND-Glieds 69 zeigt die invertierende Funktion des zugeführten Eingangssignals an, wie das auch bei dem UND-Glied 441 gemäß Fig. 2 der Fall ist. Die notwendige und ausreichende Bedingung für das "1"-Ausgangssignal des UND-Glieds 69 ist, daß das Signal WREQ

auf der Signalleitung 33 auf "1" und das Signal auf der Signalleitung 88 auf "0" sind.

Wenn das Ausgangssignal des UND-Glieds 69 auf der Signalleitung 90 auf "1" ist, wird das Schreibfreigabesignal  $WE$  <sup>auf</sup> der Signalleitung 91 zu "1" über ein ODER-Glied 70 gemacht derart, daß die Daten in die Bank in dem Zyklus eingeschrieben werden, in dem die Schreibanforderung eingetroffen ist. Dies ist die Ausführung der sofortigen Schreibprozedur.

Wenn das Ausgangssignal des UND-Glieds 68 auf der Signalleitung 89 auf "1" ist, wird das "1"-Signal dem Anschluß T dem Flipflop 63 zugeführt und nimmt im nächsten Zyklus das Ausgangssignal  $WREQDL$  des Flipflops 63 auf der Signalleitung 86 "1" ein und nimmt das Signal  $WE$  "1" über das ODER-Glied 70 ein, so daß die Daten in die Bank in dem Zyklus eingeschrieben werden, der dem Zyklus nächstliegend ist, in dem die Schreibanforderung  $WREQ$  eingetroffen ist. Dies ist die Ausführung der verzögerten Schreibprozedur. Daher speichert das Flipflop 63 das Eintreffen der Schreibanforderung  $WREQ$ , die in der verzögerten Schreibprozedur auszuführen ist, und befiehlt den Schreibbetrieb für die Bank im nächsten Zyklus.

Wenn das Signal  $WE$  auf "1" ist, werden die Daten in die gerade Bank 47 oder die ungerade Bank 48 eingeschrieben. Der Gerade/Ungerade-Zustand der Schreibbank kann bestimmt werden entweder durch das Signal  $SW$  oder durch das Signal  $WAL$ . Wie vorstehend erläutert, wird beim Ausführungsbeispiel gemäß Fig. 2

das Signal SW als das Ungerade/Gerade-Wählsignal für das Einschreiben in die Bank verwendet.

Das Schreibanforderungssignal WREQ wird als das Signal W in dem Zyklus weiter getragen, in dem die Schreibanforderung WREQ bei der W-Steuerung 42 in der sofortigen Schreibprozedur eingetroffen ist, und wird zwischengespeichert und als das Signal WE im nächsten Zyklus weiter getragen in der verzögerten Schreibprozedur. Das Schreibdatensignal WDATA muß ebenfalls sofort verwendet oder bis zum nächsten Zyklus gespeichert werden in der ersteren bzw. der letzteren Prozedur. Die Betriebe für die beiden Fälle für das Signal WDATA können durch zwei UND-Glieder (entsprechend den UND-Gliedern 68 und 69), ein Flipflop (entsprechend dem Flipflop 63) und ein ODER-Glied (entsprechend dem ODER-Glied 70) erreicht werden, wie das für das Signal WREQ der Fall ist. Jedoch zeigt Fig.4 eine andere Ausführungsform, die zwei Verriegelungs<sup>glieder</sup> 60 und 61 (latches) verwendet. Die Verriegelungsglieder 60 und 61 arbeiten unterschiedlich gegenüber den flankengesteuerten Flipflops. Wenn das Taktsignal am Eingangsanschluß CK auf "1" ist, wird ein eingegebener Inhalt am Eingangsanschluß D direkt als Ausgangssignal an einen Ausgangsanschluß Q erzeugt und ein eingegebener Inhalt am Eingangsanschluß D wird gehalten oder gespeichert bzw. verriegelt, selbst wenn das Taktsignal von "1" auf "0" fällt, und der verriegelte Inhalt wird am Ausgangsanschluß Q

erzeugt, wenn das Taktsignal wieder vom "0" auf "1" ansteigt.

Das Verriegelungsglied 60 wird zum Zwischenspeichern der geradzahlgigen Schreibdaten (der Schreibdaten zur geraden Bank 47) verwendet, während das Verriegelungsglied 61 zum Zwischenspeichern der ungeradzahlgigen Schreibdaten (der Schreibdaten zur ungeraden Bank 48) verwendet wird. In einem Zyklus, in dem die geradzahlgigen Schreibdaten eintreffen, ist das Signal  $\overline{WCNT}$ , das dem Takteingang CK des Verriegelungsglieds 60 zugeführt wird, auf "1" und erzeugt das Ausgangssignal SDRE des Verriegelungsglieds 60 den Inhalt des Signals WDATA zu diesem Zeitpunkt, d. h. das Verriegelungsglied 60 speichert geradzahlgige Schreibdaten. Bei dem Übergang zum nächsten Zyklus fällt das Signal  $\overline{WCNT}$  von "1" auf "0" und wird Inhalt des Signals WDATA gehalten bzw. gespeichert, so daß der Inhalt des Signals SDRE im nächsten Zyklus der gleiche ist wie in dem vorhergehenden Zyklus. Daher ist, ob nun die Daten in die gerade Bank 47 in dem Zyklus, in dem die geradzahlgige Schreibanforderung eintritt, oder in dem Zyklus, der dem Eintreffzyklus folgt, eingeschrieben werden, der Inhalt des Signals SDRE der Inhalt der richtigen geradzahlgigen Schreibdaten für dieses Schreiben.

Das Verriegelungsglied 61 und dessen Ausgangssignal  $SDR\bar{O}$  sind ähnlich dem Verriegelungsglied 60 und dessen Ausgangssignal SDRE mit der Ausnahme, daß das Taktsignal

18.09.81

3137292

- 36 -

für das Verriegelungsglied 61 das Signal WCNT ist.  
Der Inhalt des Signals SDR $\bar{O}$  ist der Inhalt der richtigen Schreibdaten für die ungerade Bank.

Der Schreibbetrieb des FIFO-Speichers 20 wird nun mit Bezug auf die Zeittafel gemäß Fig. 6 erläutert. Die eintreffenden Schreibbefehle sind mit 0 bis 7 nummeriert und werden in die Adresse 0 der geraden Bank 47, die Adresse 0 der ungeraden Bank 48, der Adresse 1 der geraden Bank 47 usw. und schließlich in die Adresse<sup>3</sup> der ungeraden Bank 48 eingeschrieben.

Wenn auch in Fig. 6 nicht dargestellt, werden der Zähler 62 und der Zähler 64 durch das "1"-START-Signal auf "0" vor der Folge der Schreibbetriebe aufgrund dieser Schreibbefehle zurückgesetzt. Das Flipflop 63 wird ebenfalls durch das "1"-START-Signal zurückgesetzt, das dem Rücksetzanschluß R zugeführt ist zur Anzeige, daß die erste Schreibbefehl ungeradzahlig (Zahl 1) ist.

Bei dem Beispiel gemäß Fig. 6 wird die sofortige Schreibprozedur für die Schreibbefehle 0 bis 2 durchgeführt, wird die verzögerte Schreibprozedur für die Schreibbefehle 3 und 4 durchgeführt und wird die sofortige Schreibprozedur für die Schreibbefehle 5 bis 7 durchgeführt.

Zunächst trifft die Schreib Anforderung 0 in einem Zyklus "0" ein, der durch eine eingekreiste Ziffer 0 wiedergegeben ist. Das Signal WREQ auf der Signalleitung 33 und das Signal WDATA auf der Datenleitung 30 werden der W-Steuerung 42 zugeführt. Das Signal WREQ ist auf "1" und der Inhalte des Signals WDATA gibt die Schreibdaten wieder. Im Zyklus "0" ist das Signal WCNT noch auf "0" und ist bei dem Beispiel gemäß Fig. 6 das Signal SW auf "0" zur Anzeige, daß die gerade Bank in der W-Betriebsart ist. Folglich ist das Ausgangssignal des EOR-Glieds 67 auf "0", ist das Ausgangssignal des UND-Glieds 68 auf "0", ist das Ausgangssignal des UND-Glieds 90 auf "1" und ist das Ausgangssignal WE des ODER-Glieds 70 auf "1". In dem Zyklus, in dem das Signal WE auf "1" ist, werden die Daten in die Bank eingeschrieben, die in der W-Betriebsart spezifiziert ist durch das Signal SW, wie in Fig. 2 dargestellt. Das heißt das Signal WEE auf der Signalleitung 59 wird auf "1" durch das UND-Glied 441 gemäß Fig. 2 geändert zur Anzeige des Schreibbetriebes für die gerade Bank 47.

Die Schreibadresse wird im folgenden erläutert. Nachdem der Zähler 64 gemäß Fig. 4 durch das Signal START rückgesetzt ist, bleibt das Ausgangssignal des Zählers 64 auf "000<sub>2</sub>" im Zyklus "0" wie das durch die umkreiste Ziffer 0 wiedergegeben ist, und das Signal WAH, das die beiden Bit höherer Ordnung des Ausgangssignals des Zählers 64 enthält, d. h. "00<sub>2</sub>", wird der Adreßleitung 93

zugeführt. Da das Signal SW auf "0" ist, wählt das Wählglied 451 gemäß Fig. 2, das den Inhalt des Speicheradresssignals AE zur geraden Bank 47 bestimmt, das Schreibadresssignal WAH auf der Adreßleitung 93 und führt es zur Adreßleitung 57. Auf diese Weise wird in dem Zyklus "0" die richtige Adresse "00<sub>2</sub>" dem Adreßanschluß AT der geraden Bank 47 zugeführt. Das Signal RAH wird dem Adreßanschluß AT der ungeraden Bank 48 durch das Wählglied 452 zugeführt, jedoch wird der Schreibbetrieb nicht durchgeführt, weil das Signal WE $\bar{O}$  auf "0" aufgrund der Wirkung des UND-Glieds 442 ist.

Die Schreibdaten werden nun erläutert. In Fig. 4 erzeugt, da das Signal  $\overline{WCNT}$  auf "1" in dem Zyklus "0" ist, das Verriegelungsglied 60 das Signal WDATA, das der Anforderung "0" auf der Datenleitung 30 entspricht, als das Signal SDRE auf der Datenleitung 82. Da das Signal SW auf "0" ist, führt das Wählglied 461 gemäß Fig. 2 das Signal SDRE auf der Datenleitung 82 zur Datenleitung 55. Daher wird im Zyklus "0" das Ote Schreibdatensignal WDATA richtig dem Dateneingangsanschluß DIT der geraden Bank 47 zugeführt.

In einem Zyklus "1" trifft die Schreibanforderung 1 ein und werden die Daten in die ungerade Bank 48 eingeschrieben anders als im Schreibbetrieb im Zyklus "0". Da das Signal SW auf "1" ist, ist das Signal WEE auf "0" und ist das Signal WE $\bar{O}$  auf "1". Das Signal WAH wird durch das Wählglied 452 gewählt und als Signal A $\bar{O}$  zugeführt, und das Signal SDR $\bar{O}$  wird durch das Wählglied 461 gewählt und als das Signal DE $\bar{O}$  zugeführt. Das 3-Bit-Ausgangssignal des Zählers 64 gemäß Fig. 4 ändert

sich auf "001<sub>2</sub>", wenn der Zyklus von "0" auf "1" übergeht, weil das Signal WE im Zyklus "0" auf "1" war. Die Ausgangssignale WCNT und  $\overline{\text{WCNT}}$  von dem Zähler 62 werden zu "1" bzw. "0" im Zyklus "1" invertiert, weil das Signal WREQ auf "1" im Zyklus "0" <sup>war</sup>. Das Ausgangssignal WREQDL des Flipflops 63 bleibt auf "0" im Zyklus "1", weil das Ausgangssignal des UND-Glieds 68 im Zyklus "0" auf "0" war. Der Inhalt des Signals WDATA in dem Zyklus "0" wurde in dem Verriegelungsglied 60 gehalten und wird im Zyklus "1" als das Signal SDRE zugeführt, wird jedoch nicht verwendet.

In einem Zyklus "2" trifft die Anforderung 2 ein und werden die Daten in die gerade Bank 47 eingeschrieben. Das Ausgangssignal des Zählers 64 ändert sich auf "010<sub>2</sub>" im Zyklus "2", weil das Signal WE im Zyklus "1" auf "1" war. Folglich wird das zweite Schreib Anforderungsdatensignal WDATA in die Adresse 1 der geraden Bank 47 eingeschrieben.

Bei dem Beispiel gemäß der zeitlichen Darstellung in Fig. 6 trifft die Schreib Anforderung 3 nicht in einem Zyklus "3", sondern in einem Zyklus "4" ein. In dem Zyklus "4" wird, da die eintreffende Anforderung ungeradzahlig ist und die ungerade Bank 48 nicht in der W-Betriebsart ist, der Schreibbetrieb für die ungerade Bank 48 für die Schreib Anforderung 3 im nächsten Zyklus "5" durchgeführt. In Fig. 4 ist im Zyklus "4" das Signal WCNT auf "1" und das Signal SW



auf "0". Das Signal auf der Signalleitung 89 wird zu "1" geändert und das Signal auf der Signalleitung 88 wird auf "0" geändert durch die Wirkung des EOR-Glieds 67 und des UND-Glieds 68. Das Flipflop 63 erzeugt das "1"-WREQDL-Signal in dem Zyklus "5", weil "1" dem Eingangssignalanschluß D zugeführt wird. Das Bank-Schreibfreigabesignal WE ist auf "0" im Zyklus "4" und ändert sich auf "1" im Zyklus "5" zur Anzeige des dritten Schreibbetriebes. Dies ist die verzögerte Schreibprozedur, die oben erläutert ist.

Der Zähler 64, der die Schreibadresse WA erzeugt, hält den gleichen Inhalt "01<sub>2</sub>" durch die Zyklen "3" bis "5", weil das Signal WE in den Zyklen "3" und "4" auf "0" war. In dem Zyklus "5" wird die richtige Speicheradresse "01<sub>2</sub>" der ungeraden Bank 48 zugeführt.

Die Schreibdaten sind wie im folgenden erläutert. Im Zyklus "4" trifft das dritte Schreibdatensignal WDATA ein. Da das Signal WCNT, das das Verriegelungsglied 61 taktet, im Zyklus "4" auf "1" und im Zyklus "5" auf "0" ist, ist der Inhalt des Ausgangssignals  $\text{SDR}\overline{0}$  des Verriegelungsglieds 61 identisch dem Inhalt des Signals WDATA im Zyklus "4" ebenso wie im Zyklus "5".

Folglich können die Schreibdaten für die Anforderung 3 richtig der ungeraden Bank 48 im Zyklus "5" zugeführt werden.

Die W-Steuerung 42 gemäß Fig.4 kann den Schreibbetrieb zur ungeraden Bank 48 für die Schreibanforderung 3 im Zyklus "4" nicht durchführen, kann sie jedoch in dem nächsten Zyklus "5" durchführen. Aus der Periodizität des Signals SW wird vorher gesagt, daß dann, wenn das Signal SW in dem Zyklus "4" auf "0" ist, es im nächsten Zyklus "5" auf "1" ist.

Die Schreibanforderung 4 trifft ebenfalls im Zyklus "5" ein, in der die gerade Bank 47 nicht in der W-Betriebsart ist und daher werden die Daten in die gerade Bank 47 mit einer Verzögerung um einen Zyklus eingeschrieben.

Die Anforderung 5 trifft im Zyklus "7" ein, in dem die ungerade Bank 48 in der W-Betriebsart ist derart, daß die Daten sofort in die ungerade Bank 48 eingeschrieben werden, wie bei den Anforderungen 0, 1 und 2. Daher wird die sofortige Schreibprozedur durchgeführt, wobei das Signal WREQ und das Signal WE auf "1" im gleichen Zyklus "7" sind.

Jedesmal, wenn die Daten für eine der acht Schreibanforderungen in die Bank eingeschrieben wird, wird der 3-Bit-Zähler 64 vorwärtsgezählt, so daß das Ausgangssignal sich von "000<sub>2</sub>" bis "111" ändert. In einem Zyklus "10" kann das Ausgangssignal auf "000<sub>2</sub>" zurückkehren, jedoch wird der Inhalt der Adresse "00<sub>2</sub>" der geraden Bank 47 nicht zerstört, weil die Schreibanforderung 8 nicht von außen eintrifft.

Fig. 5 zeigt ein Schaltbild der R-Steuerung43. Ein flankengetriggelter Zähler 100 (CNT) ist ein reversibler 4-Bit-Zähler. Das Vorwärtszählen und das Rückwärtszählen des Zählers 100 werden durch Eingangssignale zu einem Vorwärtszähleingang UP und einem Rückwärtszähleingang DOWN angezeigt. Wenn das Schreibfreigabesignal WE, das dem Anschluß UP zugeführt ist, auf "1" ist und das Leseanforderungssignal RREQ, das dem Anschluß DOWN zugeführt ist, auf "0" ist, zählt der Zähler 100 um Eins vorwärts mit dem Anstieg des dem Taktanschluß CK zugeführten Taktsignals T. Wenn das Eingangssignal WE zum Anschluß UP auf "0" ist und das Eingangssignal RREQ zum Anschluß DOWN auf "1" ist, zählt der Zähler 100 um Eins rückwärts. Wenn beide Eingangssignale auf "0" oder auf "1" sind, zählt der Zähler 100 weder vorwärts noch rückwärts. Ein 4-Bit-Ausgangssignal REQCNT des Zählers 100 und einer 4-Bit-Datenleitung 101 zugeführt. Der Inhalt des Zählers 100 zeigt die Zahl der Daten an, die geschrieben worden sind, jedoch nicht gelesen worden sind. Der Zähler 100 ist ein 4-Bit -Zähler, so daß er neun unterschiedliche Zahlen 0 bis 8 der Eingangsdaten speichern kann. Der Zähler 100 wird durch das Initialisierungssignal START rückgesetzt, das einem Rücksetzanschluß R zugeführt ist. Das 4-Bit-Ausgangssignal des Zählers 100 wird einem ODER-Glied 104 zugeführt, das die jeweiligen Bit ODER-verknüpft und das Ergebnis einer Signalleitung 105 zuführt. Wenn das Ausgangssignal des ODER-Glieds 104 nicht auf "0" ist, zeigt dies das Vorliegen von Daten an, die in die Bänke 47

und 48 geschrieben sind und noch nicht gelesen sind. Ein Zähler 109 ist ein binärer 3-Bit-Zähler, der durch das Initialisierungssignal START rückgesetzt ist, das einem Rücksetzanschluß R zugeführt ist, und zählt beim Anstieg des Taktsignals T, das einem Taktsignal CK zugeführt ist, vorwärts, wenn das Eingangssignal RREQ zu einem Vorwärtzzähleingang UP auf "1" ist.

Der Inhalt des binären 3-Bit-Zählers 109 zeigt die Leseadresse an. Der Zähler 109 führt die oberen zwei Bit des Inhalts der Adreßleitung 99 als Bank-Leseadresse RAH zu und führt das niedrigere eine Bit der Signalleitung 111 als das Signal RAL zu zur Anzeige des Ungerade/Gerade-Zustandes der zu lesenden Bank.

Weiter ist ein Exklusiv-ODER-Glied 112 (EOR-Glied) vorgesehen, das bestimmt, ob die zu lesende Bank mit der Bank übereinstimmt, die durch die R-Betriebsart durch das Betriebsartanzeigesignal SW angezeigt ist. Wenn das Signal RAL des Bit niedrigerer Ordnung des Zählers 109 auf "0" ist, ist aus der geraden Bank 47 zu lesen, und wenn das Signal SW auf "1" ist, ist die gerade Bank 47 in der R-Betriebsart. Wenn das Signal RAL auf "1" ist, ist aus der ungeraden Bank 48 zu lesen, und wenn das Signal SW auf "0" ist, ist die ungerade Bank 48 in der R-Betriebsart. Folglich erzeugt das EOR-Glied 112 ein "1"-Ausgangssignal, wenn die zu lesende Bank mit der Bank übereinstimmt, die

in der R-Betriebsart durch das Betriebsartanzeigesignal angezeigt ist, und erzeugt andernfalls ein "0"-Ausgangssignal. Ein UND-Glied 106 UND-verknüpft die Signale auf den Signalleitungen 105 und 113. Folglich ist das Lesefreigabesignal  $\overline{R\bar{O}K}$  vom Ausgang des UND-Glieds 106 auf "1" nur dann, wenn Daten in den Bänken 47 und 48 sind, die geschrieben worden sind, jedoch noch nicht gelesen worden sind und die zu lesende Bank in der R-Betriebsart ist. Andernfalls ist das Signal  $\overline{R\bar{O}K}$  auf "0". Das Signal  $\overline{R\bar{O}K}$  zeigt an, daß der FIFO-Speicher zum Lesen bereit ist, wie das erläutert worden ist.

Der Betrieb der R-Steuerung wird mit Bezug auf die zeitliche Darstellung in Fig. 6 näher erläutert.

Die externe Schaltung stellt sicher, daß das Leseanforderungssignal RREQ, das von der Signalleitung 15 zugeführt wird, nur eine "1" einnimmt, wenn das Signal  $\overline{R\bar{O}K}$  auf "1" ist. Beispielsweise stellt dies die Leitungs-Steuerlogik 3 gemäß Fig. 1 sicher. Die Zähler 100 und 109 werden auf "0" durch das Signal START initialisiert vor einer Folge von Lesebetrieben, wie das auch bei der W-Steuerung der Fall ist.

In dem Zyklus "0" werden Schreibdaten 0 in die gerade Bank 47 eingeschrieben und ist das Signal WE auf "1" und zählt der Zähler 100 beim Anstieg des Taktsignals T vorwärts. Im Zyklus "1" ändert sich das Ausgangssignal REQCNT des Zählers 100 auf "0001<sub>2</sub>" und

führt das ODER-Glied 104 des "1"-Ausgangssignals zur Signalleitung 105 zur Anzeige des Vorliegens ungelesener Daten in der Bank. Andererseits bestimmt im Zyklus "1" das EOR-Glied 112, daß das Signal SW auf "1" ist und daß die gerade Bank 47 in der R-Betriebsart ist, und führt das "1"-Ausgangssignal zur Signalleitung 113. Das UND-Glied bestimmt, daß die beiden Bedingungen erfüllt sind und führt das "1"-RÖK-Signal zur Signalleitung 13.

Bei dem Beispiel gemäß Fig. 6 ändert sich das externe Signal RREQ auf "1" abhängig vom Signal RÖK. Wenn das Signal RREQ auf der Signalleitung 15 auf "1" ist, zählt der Zähler 109 vorwärts. Im Zyklus "1" zählt der Zähler 100 nicht, weil das Signal WE, das das erste Schreiben anzeigt, auf "1" ist. Im nächsten Zyklus "2" bleibt das Ausgangssignal REQCNT auf "0001<sub>2</sub>" zur Anzeige des Vorliegens von ungelesenen Daten, nämlich einer Dateneinheit. Im Zyklus "1" ist das Ausgangssignal RAH, das die beiden Bit höherer Ordnung des Inhalts des Zählers 109 ist, auf "00" und wird der Wählschaltung 45 gemäß Fig. 2 über die Datenleitung 99 zugeführt. Im Zyklus "1" wählt, da das Signal SW auf "1" ist, das Wählglied 451 in der Wählschaltung 45 das Signal RAH und führt es dem Adreßanschluß AT der geraden Bank 47 zu. Da das Signal SW auf "1" ist, erzeugt andererseits das UND-Glied 441 gemäß Fig. 2 das "0"-WEE-Signal. Weil das Signal WEE auf "0" ist, werden die Daten von der Bank 47 bei der Adresse "00" ausgelesen, die durch das Signal AE spezifiziert ist, und wird der Inhalt der Daten 0, die in dem unmittelbar vorhergehenden Zyklus geschrieben sind, der Datenleitung

471 als Signal  $\overline{D\bar{O}E}$  zugeführt. Das das Signal SW auf "1" ist, wählt das Wählglied<sup>491</sup> gemäß Fig. 2 das Signal  $\overline{D\bar{O}E}$  und führt es zur Datenleitung 10 als Signal RDATA. Auf diese Weise werden die Daten 0 dem Signal RDATA im Zyklus "1" zugeführt.

Die Lesebetriebe für die Daten 1 und 2 sind ähnlich zu dem vorstehend erläuterten mit Ausnahme des Wertes des Signals SW und des Ungerade/Gerade-Zustandes der Bänke.

Die Daten 3 werden drei Zyklen nach der Beendigung des Schreibens der Daten 2 geschrieben. Als Ergebnis ist im Zyklus "3", in dem Daten 2 gelesen werden, das Signal RREQ auf "1" und ist das Signal WE auf "0", so daß der Zähler 100 rückwärtszählt. Im nächsten Zyklus "4" ändert sich das Signal REQCNT auf "0000<sub>2</sub>", ändert sich das Signal  $\overline{R\bar{O}K}$  auf "0" und wird das "1"-RREQ-Signal nicht zugeführt. Folglich wird der Lesebetrieb für die Daten 3 nicht durchgeführt. In dem Zyklus "6", der dem Zyklus folgt, in dem das Signal WE sich auf "1" ändert abhängig von dem dritten Schreib Anforderungssignal WREQ, ändert sich das Signal REQCNT auf "0001<sub>2</sub>" und ändert sich das Signal  $\overline{R\bar{O}K}$  auf "1". Bei dem Beispiel gemäß Fig. 6 bleibt das Signal RREQ auf "0" aufgrund irgendeiner externen Ursache. Im nächsten Zyklus "7" ändert sich das Signal SW auf "1" und ändert sich das Signal  $\overline{R\bar{O}K}$  auf "0", weil die ungerade Bank 48, in der die Daten 3 gespeichert sind, nicht in der R-Betriebsart ist. In diesem Zyklus ist der Inhalt des Zählers 100 auf "0010<sub>2</sub>", was das vierte Schreiben in dem unmittelbar vorhergehenden Zyklus wiedergibt. Im nächsten Zyklus "8" ist das Signal SW

auf "0" und ist das Signal  $\overline{R\ddot{O}K}$  auf "1" und ist das Signal RREQ auf "1". Im Zyklus "8" ist das Signal REQCNT auf "0011<sub>2</sub>" erhöht worden.

Die Daten 4 bis 7 werden sequentiell gelesen. Im Zyklus "12" werden die letzten Daten 7 als das Signal RDATA zugeführt. Während 13 Zyklen vom Zyklus "0" zum Zyklus "12" werden acht Schreib- anforderungen und acht Leseanforderungen in dem FIFO-Speicher behandelt bzw. verarbeitet. Während der vier Zyklen vom Zyklus "6" bis zum Zyklus "9" werden <sup>die</sup> vier Schreibanforderungen und die vier Lese- anforderungen parallel gehandhabt, ein Satz in jedem Zyklus, so daß eine maximale Wirkungsweise des FIFO-Speichers erreicht wird.

Wenn die Erfindung bei den Leitungs-Ausführungseinheiten angewendet wird, kann der FIFO-Speicher fest mit den Ausführungseinheiten gemäß Fig. 1, kombiniert werden oder kann die Kombination dynamisch durch Programmieren geändert werden. Fig. 7 zeigt ein Beispiel der letzteren Möglichkeit, bei der Verteilungslogikschaltungen 911 und 912 zwischen den Leitungs-Ausführungseinheiten 901, 902, 903 und den FIFO-Speichern 921, 922, 923, 924, 925 vorgesehen sind. Die Verteilungslogikschaltungen 911 und 912 bewirken die Zuordnung der FIFO-Speicher zu den Eingangstoren und den Ausgangstoren der Einheiten gemäß den externen Anweisungen. Die Verteilungslogikschaltungen 911 und 912 weisen jeweils mehrere Multi-Eingangswahlglieder auf,



die an sich bekannt sind. Beispielsweise kann zu einem bestimmten Zeitpunkt die Verteilungslogikschaltung 912 das Ausgangssignal des FIFO-Speichers 921 als Eingangssignal zu einer Einheit 903 wählen und kann die Verteilungslogikschaltung 911 das Ausgangssignal der Einheit 903 als Eingangssignal zum FIFO-Speicher 922 wählen und kann zu einem anderen Zeitpunkt der FIFO-Speicher 923 als Eingang für die Einheit 903 und der FIFO-Speicher 924 als Ausgang gewählt sein. Die Verteilungslogikschaltungen 911 und 912 können durch eine Anzahl von Wählgliedern gebildet sein.

Die FIFO-Speicher 921 bis 925 enthalten nicht den FIFO-Speicher 41 gemäß Fig. 2. Ein Speicher 910 entspricht dem FIFO-Speicher 41 und wird von dem FIFO-Speicher 921 bis 925 geteilt.

Die Ausführungseinheiten gemäß Fig. 7 können ALU-Einheiten sein, die Additions-, Subtraktions-, Multiplikations- und Divisionsbetriebe durchführen, oder Speichersteuereinheiten, die ein großes Datenvolumen speichern können.

Wie erläutert, können bei dem FIFO-Speicher gemäß der Erfindung die Lese- und Schreibbetriebe simultan durchgeführt werden. Wenn die Schreib-anforderung eintrifft, können die Schreibdaten in den FIFO-Speicher ohne Wartezeit eingeschrieben werden.

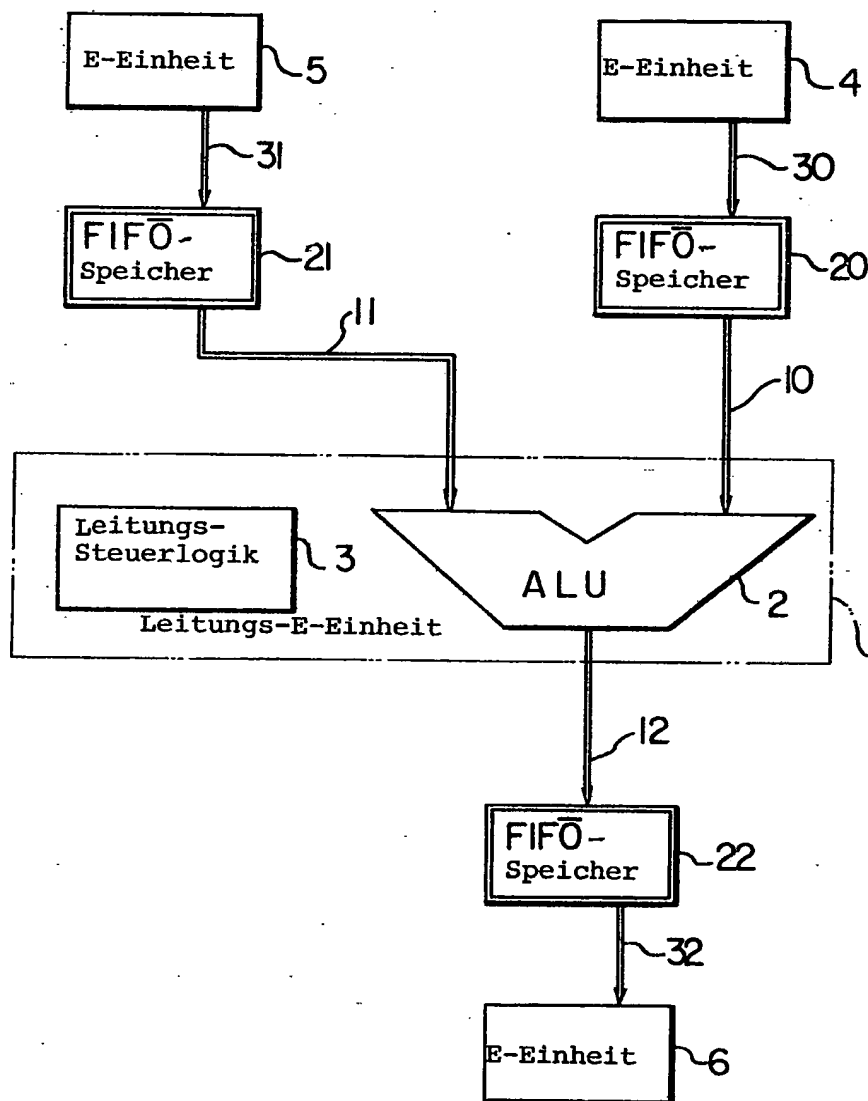
Selbstverständlich sind noch andere Ausführungsformen möglich.

.49.  
Leerseite

Nummer: 3137292  
Int. Cl.<sup>3</sup>: G06F 13/06  
Anmeldetag: 18. September 1981  
Offenlegungstag: 6. Mai 1982

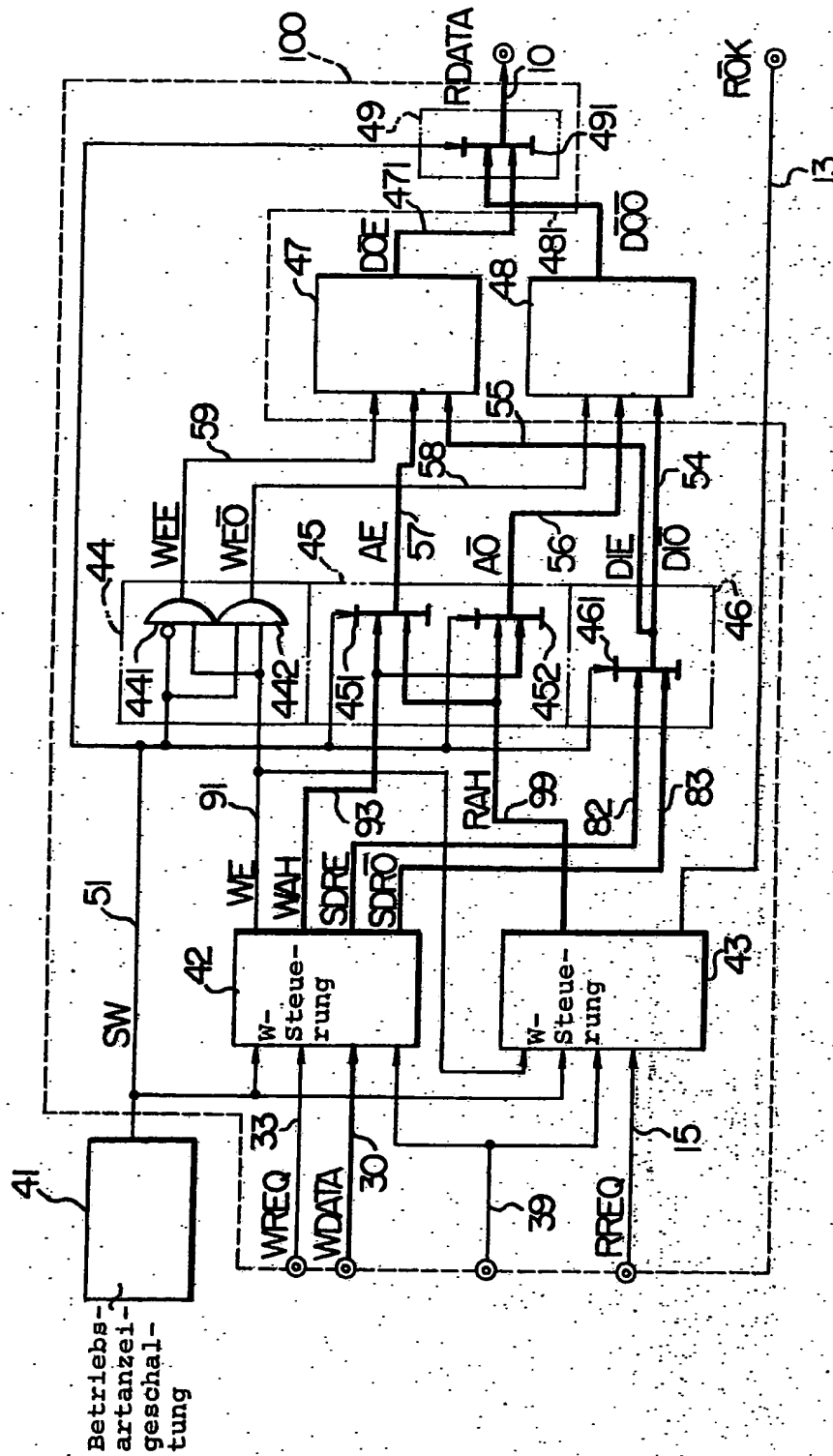
P 31 37 292.9

FIG. 1

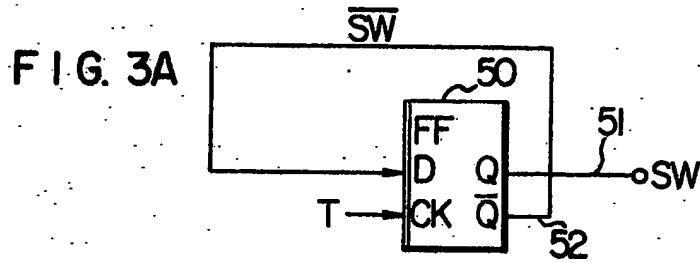


50

**FIG. 2**



51.

**FIG. 3B**

Bank \ SW	SW="0"	SW="1"
gerade Bank	W-Betriebsart	R-Betriebsart
ungerade Bank	R-Betriebsart	W-Betriebsart

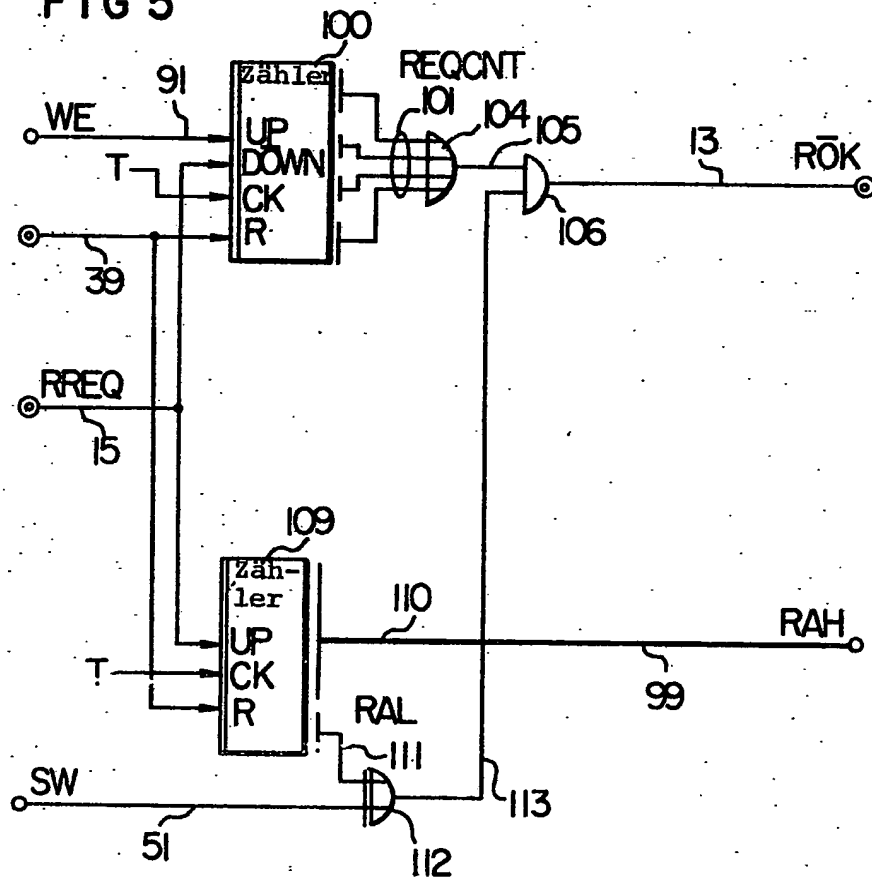
**FIG. 5**

FIG. 4

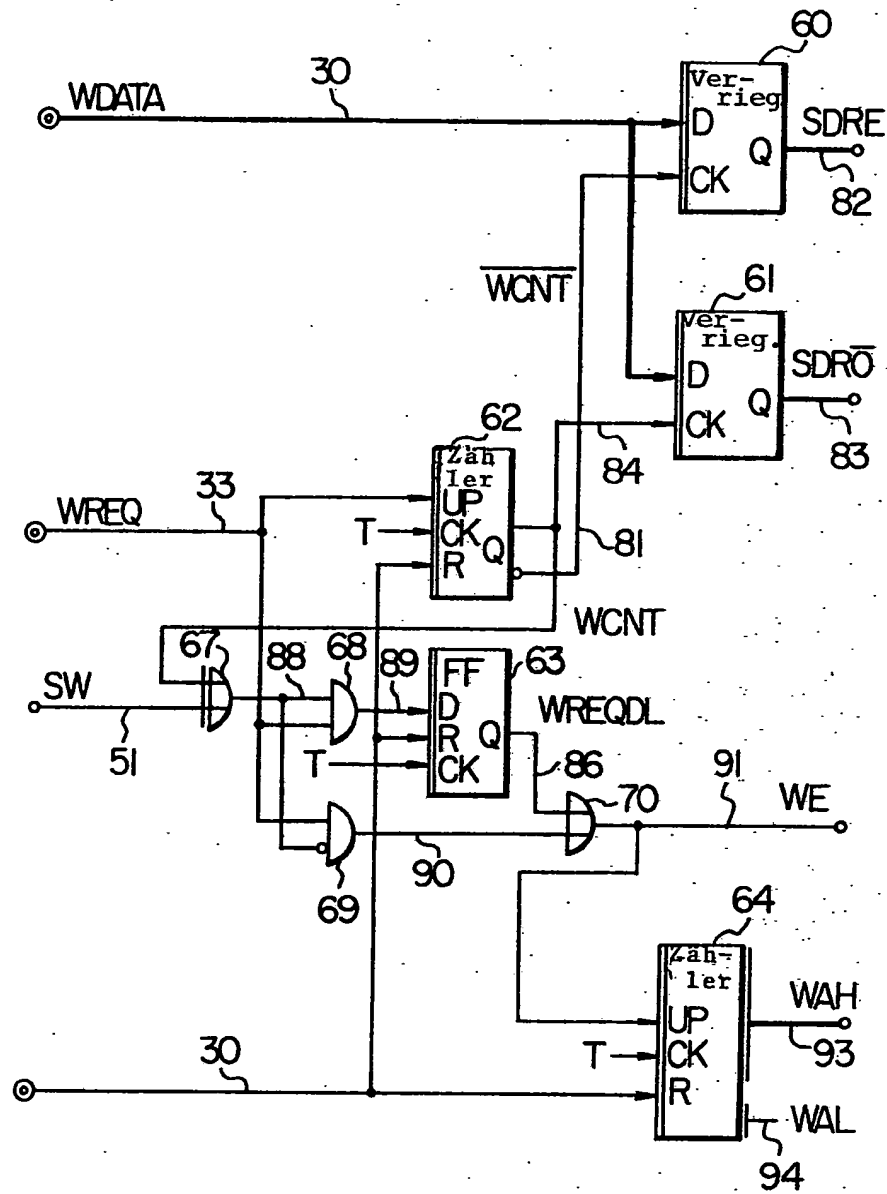


FIG. 6

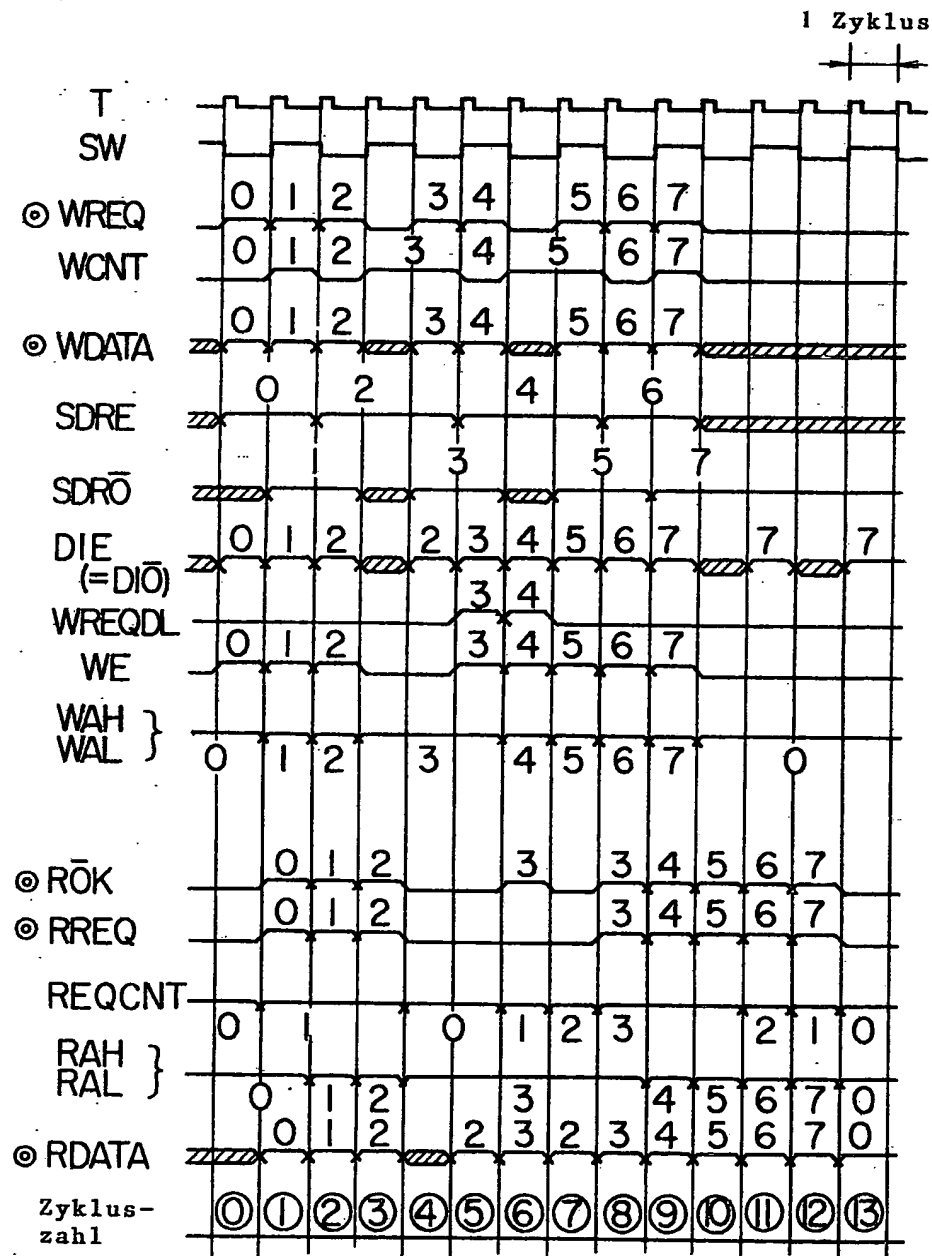


FIG. 7

